

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-045451

(43)Date of publication of application : 18.02.1994

(51)Int.Cl. H01L 21/82  
G11C 11/413  
G11C 29/00  
G11C 29/00  
H01L 21/66

(21)Application number : 04-199583

(71)Applicant : FUJITSU LTD

(22)Date of filing : 27.07.1992

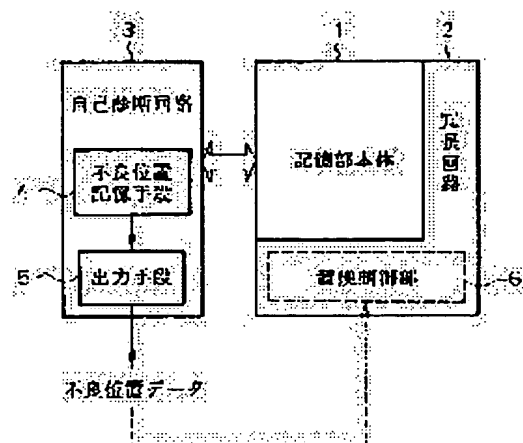
(72)Inventor : KITAGAWA MASAYA

## (54) SEMICONDUCTOR MEMORY

### (57)Abstract:

**PURPOSE:** To provide a semiconductor device having a redundant circuit and a self-diagnostic circuit, in which a defective part to be replaced with the redundant circuit is easily determined.

**CONSTITUTION:** A redundant circuit 2 and a self-diagnostic circuit 3 are provided in a semiconductor device. The self-diagnostic circuit includes a memory 4 and an output circuit 5. When the self-diagnostic circuit detects a defective part, the location of the defective part is stored in the storage means, and the output means produces information on the location of the defective part.



## LEGAL STATUS

[Date of request for examination]

06.06.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2922060

[Date of registration]

30.04.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

( 陸十要約＋請求の範囲)

- (19)【発行国】日本国特許庁(JP)
- (12)【公報種別】公開特許公報(A)
- (11)【公開番号】特開平6-45451
- (43)【公開日】平成6年(1994)2月18日
- (54)【発明の名称】半導体記憶装置
- (51)【国際特許分類第5版】

H01L 21/82  
G11C 11/413  
29/00 301 B 6741-5L  
303 B 6741-5L  
H01L 21/66 W 8406-4M  
F 8406-4M

[F]

H01L 21/82 R 8225-4M  
G11C 11/34 341 C 6741-5L

- 【審査請求】未請求
- 【請求項の数】4
- 【全頁数】9
- (21)【出願番号】特願平4-199583
- (22)【出願日】平成4年(1992)7月27日
- (71)【出願人】
- 【識別番号】000005223
- 【氏名又は名称】富士通株式会社
- 【住所又は居所】神奈川県川崎市中原区上小田中1015番地
- (72)【発明者】
- 【氏名】北川 雅也
- 【住所又は居所】神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
- (74)【代理人】
- 【弁護士】
- 【氏名又は名称】青木 朗 (外3名)

(37)【要約】

【目的】 本発明は冗長回路と自己診断回路とを有する半導体記憶装置に関し、冗長回路への置き換えのために行う不良箇所を特定可能な試験が容易に行えるようにすることを目的とする。

【構成】 冗長回路2と自己診断回路3とを備える半導体記憶装置において、自己診断回路3は自己診断動作において不良箇所を発見した時に不良箇所の位置を記憶する不良位置記憶手段4と不良位置記憶手段4に記憶した不良箇所の位置を出力する出力手段5とを備えるように構成する。

【特許請求の範囲】

【請求項1】 不良箇所を置き換える冗長回路(2)と、不良箇所の有無を判定する自己診断回路(3)とを備える半導体記憶装置において、前記自己診断回路(3)は、自己診断動作において不良箇所を発見した時に該不良箇所の位置を記憶する不良位置記憶手段(4)と、該不良位置記憶手段(4)に記憶した前記不良箇所の位置を出力する出力手段(5)とを備えることを特徴とする半導体記憶装置。

【請求項2】 請求項1に記載の半導体記憶装置であって、前記冗長回路(2)は不良箇所をビット列単位又はワード線単位で置き換えるものであり、前記不良位置記憶手段(4)は不良箇所の位置をビット列単位又はワード線単位で記憶することを特徴とする半導体記憶装置。

【請求項3】 請求項1又は請求項2に記載の半導体記憶装置であって、前記出力手段(5)はシフトレジスタを備え、不良箇所の位置情報をシリアルデータに変換した後出力することを特徴とする半導体記憶装置。

【請求項4】 請求項1から請求項3のいずれか1項に記載の半導体記憶装置と共に論理回路部を有し、入出力端子からは直接前記半導体記憶装置にアクセスできないように構成されている半導体装置において、前記出力手段(5)の出力信号が前記入出力端子の一部に出力されるように構成されていることを特徴とする半導体装置。

G11C 7/00  
29/00

## 詳細な説明

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、冗長回路と自己診断回路とを有する半導体記憶装置（以下メモリと称する。）に関し、特に1個のバッファ内論理回路と共に組み込まれるメモリであって、冗長回路と自己診断回路とを有するメモリ及びそのようなメモリと論理回路とを有する半導体装置に関する。

【0002】

【従来の技術】メモリ素子等の半導体記憶装置は、近年益々大規模化されており、製造工程における歩留りの向上や信頼性の向上がより一層求められている。歩留り向上の一つの方法として、半導体装置内にあらかじめ冗長回路を設けておき、通常回路に不良箇所が発見された時にはその不良箇所を冗長回路の同等機能を持つ部分で置き換えることで良品化する方法がある。このようにすることで通常回路に一箇所でも不良があった時には廃棄されていたものを良品化することができると歩留りを大幅に向上することができ。

【0003】図5はメモリにおける冗長回路への置き換えを説明するための図である。メモリはワード線とビット線（又はビット線対）を格子状に配線し、その交差位置にメモリセルを配置した構造を有しており、ワード線とビット線を選択的に活性化することにより各メモリセルにアクセスできるようにしている。そして冗長回路は1本のビット線に付属するすべてのメモリセル（ビット列）を置き換えるように構成するのが一般的である。

【0004】図5(a)は不良箇所のない時、すなわち冗長回路に置き換えない場合を示している。各ビット列の出力がそれぞれ出力端子に接続される。図5(a)は2列目のビット列に不良がある時であり、2列目のビット列を除く他のビット列と冗長回路のビット列の出力が出力端子に接続される。図5は冗長回路への置き換えの説明図であり、冗長回路へ接続するように切り換える部分は、ヒューズの溶断やレーザーミリングによる配線の切断等により、不良箇所を有するビット列の出力部と他の配線の切断と冗長ビット列の出力部とを分離してビット列を導通させることにより行うのが一般的である。また置き換えをビット列単位でなくワード単位で行うことも可能である。

【0005】また近年メモリ素子の信頼性向上のため、メモリ素子自体に自己診断回路を組み込んで、不良箇所の存在を検出することが行われている。図6は従来のメモリ自己診断回路の構成を示す図である。図6において1は試験する対象となるメモリ本体である。32はメモリ本体1に書き込むデータを発生するデータ発生器であり、33はメモリ本体1へのデータの書き込み及び読み出しを行うためのアドレス発生器である。36はシーケンサコントローラであり、すべての制御信号を発生する。37はデータバス制御器であり、メモリ本体1から読み出されたデータとそのデータを書き込んだ時の元のデータとを比較してその結果を圧縮して出力する。

【0006】自己診断回路による試験は、すべてのメモリセルに所定のデータを書き込んだ後読み出し、元の書き込んだデータと一致するかを判定することにより行うが、不良箇所の位置まではデータとしての位置まで出力するためには不良箇所の位置を記憶する必要がある。その分回路が複雑で大規模になるという問題があるためである。またそのようなデータを出力するためにはその分だけデータ出力に要する時間が長くなるという問題もある。そのため図6に示すようなデータ圧縮器を使用している。

【0007】図7はデータ圧縮器の構成例を示す図であり、各メモリセルに同一データを書き込んだ後で読み出した図のビット端子に印加することで、同一データであるかを比較する。もし不良箇所があり、異なるデータが出力された時には、それ以降の出力が反転するため不良の存在が判明する。但し不良箇所の位置まではわからない。

【0008】不良箇所を発見して冗長回路へ置き換える不良ビット救済を目的としたメモリ試験は、不良箇所を特定して不良箇所の位置情報を外部に出力するものであることが必要である。そのため通常のメモリ素子における試験では、メモリの入出力端子をすべて外部ピンに直接接続した上で、外部より駆動してその出力を観測し、不良箇所の位置を特定している。その検出結果に基づいて冗長回路への置き換えを行っている。このような現状では、冗長回路への置き換えを行うための試験は外部より駆動して、外部でその出力を観測する必要がある。

【0009】

【発明が解決しようとする課題】近年LSI等の半導体装置の内部に、論理回路と共にメモリを組み

込んだものが使用されるようになってい、しかも組み込まれるメモリが大規模化する傾向にある。そのためこのようなメモリにおいてもやはり冗長回路を設けて歩留りを向上させることや、自己診断回路を設けて信頼性の向上を図ることが行われている。しかし論理回路とメモリを有する半導体装置では、メモリは論理回路が動作中にアクセスするものであり、半導体装置への入出力端子からは直接メモリにアクセスできるような構成にはならないのが一般的である。半導体装置への入出力端子の数は限られており、入出力端子を外部よりメモリにアクセスするために端子を割くのは難しいのが現状である。

【0010】そのため上記のような半導体装置において、冗長回路への置き換えを行うためのメモリ試験を行うためには、図8に示すように、外部入出力端子と論理回路22との配線を試験時のみ外部入出力端子を直接メモリ20に接続するように切り換えるセルクタ24、25、26が必要である。図において入力端子Sがセルクタ24、25、26を切り換えるための入力端子であり、この入力端子Sに切替信号を印加することにより、外部入出力端子からのメモリ20へのアクセスが可能になる。

【0011】しかし図8のような回路構成は、新たにセルクタ24、25、26を設ける必要がある上に、そのための配線数が増加するという問題がある。特にメモリ20が大容量化した時には、このようなオーバーヘッドは無視できず、高集積化及び製造コストの増大になるという問題がある。本発明は上記問題点を鑑みてなされたものであり、冗長回路及び自己診断回路を有する半導体記憶装置において、冗長回路への置き換えのために行う不良箇所を特定可能な試験が、容易に行える半導体記憶装置の実現を目的とする。

【0012】

【課題を解決するための手段】図1は本発明の原理構成図である。本発明は半導体記憶装置であり、通常の記憶部本体1の他に、不良箇所を置き換える冗長回路2と、不良箇所の有無を判定する自己診断回路3とを備えている。そして上記問題点を解決するため、自己診断回路3は自己診断動作において不良箇所を発見した時に不良箇所の位置を記憶する不良位置記憶手段4と、不良位置記憶手段4に記憶した不良箇所の位置を出力する出力手段5とを備えるように構成する。

【0013】

【作用】本発明の半導体記憶装置では、従来外部の入出力端子からアクセスすることによって行っていた不良箇所を特定するための試験を、自己診断回路3で行えるようにする。従来から自己診断回路は不良の有無を検査するための試験動作を行っているが、不良箇所の位置を記憶する不良位置記憶手段4と、その記憶した不良位置を外部に出力するための出力手段5を設ける。これにより自己診断回路3を動作させて自己診断動作を行わせることにより、不良箇所の位置情報が得られるため、不良箇所を冗長回路2に置き換えることが可能になる。

【0014】上記のように本発明では、不良箇所の位置を特定する試験を行うために、図8に示したようなセルクタ等を用いる必要がなくなる。また本発明は、図8に示したような論理回路と共にメモリを有する半導体装置に適用した時に特に効果的であるが、これに限られるものでなく、通常のメモリ素子に適用した場合でも、自己診断回路を有効に利用し、試験が容易であるという利点がある。

【0015】

【実施例】本発明を内部に論理回路と共にメモリを組み込んだLSI大規模集積回路に適用した実施例を説明する。図2は本実施例の全体構成を示す図である。21はLSIであり、内部にメモリ20と論理回路22とを有している。メモリ20は不良箇所を置き換える冗長回路2と自己診断回路3とを有している。メモリ20は論理回路22からアクセスされる。自己診断回路3は論理回路22からの自己診断動作信号によって動作し、試験動作終了後試験結果である不良位置信号を外部出力端子に出力する。不良箇所の発見と冗長回路2への置き換えは製造の最終に近い段階で行われる。

【0016】図3は図2の自己診断回路より詳細に示した図である。図3において、1はメモリ本体である。32はシーケンサコントローラであり、自己診断回路で必要な制御信号を発生させる。32はデータ発生器であり、試験のためにメモリ本体1に書き込むデータを発生させる。33はアドレス発生器であり、試験のために各メモリセルにデータを書き込み、更に書き込んだデータを読み出す時のアドレス信号を発生する。34はデータ良否判定器／結果記憶器であり、メモリの各メモリセルに書き込んだデータをデータ発生器32から受け、その書き込んだデータを実際にメモリ本体1から読み出したデータと比較し、その結果を記憶する。書き込んだデータと読み出したデータとが異なる時には、そのメモリセルは不良であるからその位置を記憶する。35はデータ良否判定器／結果記憶器34に記憶された試験結果、すなわち不良箇所の位置情報を出力する。

【0017】データ良否判定器／結果記憶器34と出力回路35の詳細を図4に示す。図4において、メモリ本体1、データ発生器32、シーケンストロウ31は図3に示したものと同一のものである。341から345の素子で構成される部分がデータ良否判定器／結果記憶器34の単位部分であり、この単位部分がメモリ本体1のビット列毎に存在し、全体でデータ良否判定器／結果記憶器34を構成している。341はEXOR(排他的論理和)ゲートであり、読み出しデータとそのデータをき込んだ時のデータ(期待値)が異なった時に「H」信号を出力する。342はORゲートであり、EXORゲート341の出力とフロッグフロッグ(F)343の出力の和をとる。ORゲート342の出力はフロッグ信号が入力され、出力はFF343のクロック入力に接続される。345はANDゲートであり、フロッグイネーブル信号とフロッグ信号が入力され、出力はFF343のクロック入力に接続される。

【0018】346はラッチ回路とシフトレジスタを組み合わせたシフト素子であり、各ビット列毎のFF343の出力がデータとして入力され、シーケンストロウ31からのラッチ信号が入力される。そして更に、結果出力イネーブル信号とクロック信号が入力されるANDゲート347の出力が入力される。以下図4の回路の動作について説明する。

【0019】メモリ本体1の試験はビット列単位で行われ、クロック信号に同期してビット列の各メモリセルにデータの書き込みと読み出しを行う。あるビット列の試験中には、そのビット列のデータ良否判定器／結果記憶器の単位部分にクロックイネーブル信号が出力される。これによりその単位部分のFF343にはクロック信号が印加されるが、他の単位部分のFF343にはクロック信号が印加されずそのままの状態が維持される。

【0020】FF343は試験開始時に「L」状態にリセットされている。期待値と読み出しデータが一致していればEXORゲート341の出力は「L」状態であり、ORゲート342の出力も「L」状態である。従って不良がない限りFF343の出力は「L」状態のままである。ところが不良セルに対して書き込みと読み出しを行ったために、期待値と読み出しデータが一致しなくなった時には、EXORゲート341の出力が「H」状態になり、更にORゲート342の出力も「H」状態になり、クロック信号に同期してFF343の出力も「H」状態になる。一旦FF343の出力が「H」状態になるとその出力はORゲート342に戻されるため、たとえ次のメモリセルが良好でEXORゲート341の出力が「L」になってもFF343の出力はそのまま「H」状態が維持される。

【0021】上記のようにしてビット列の各メモリセルに対して試験を行うことにより、もし不良箇所がなければFF343の出力は「L」状態であるが、もし二箇所以上不良箇所があればFF343の出力は「H」状態になる。このような試験動作をすべてのビット列について行うことにより、各ビット列における不良箇所の有無が各FF343に記憶される。

【0022】各FF343の出力がシフト素子346の入力に接続される。すべてのビット列の試験が終了すると、シーケンストロウ31からラッチ信号が出力され、FF343からの出力をラッチして保持する。そして結果出力イネーブル信号を「H」状態にすることにより、クロック信号が印加されてシフトレジスタが動作し、ラッチしたデータをシリアルデータに変換して出力する。この出力を観測することにより、どのビット列に不良箇所が存在するかが判明する。

【0023】前述のように冗長回路による不良箇所の置き換えはビット列単位で行われるため、上記のように不良箇所の存在するビット列が判明すれば、不良箇所の冗長回路への置き換えが行える。尚、出力シフト素子346にFF343の機能を果たしてもよい。以上のように本実施例であれば、不良箇所の位置信号が1ビットのシリアルデータとして得られるため、メモリ試験に要する外部接続端子は1個あればよい。しかも回路構成は図4に示すように簡単である。

【0024】上記の実施例では図4に示したデータ良否判定器／結果記憶器34の単位部分をビット列毎に設けたが、例えばメモリ本体に印加するアドレス信号をラッチするレジスタを設け、不良箇所と判定した時にはそのアドレス信号、必要に応じてビット列のアドレス信号のみをこのレジスタに記憶して、試験終了後このレジスタの値をシリアルデータに変換して出力することもできる。

【0025】いずれにしても自己診断回路に上記のような不良箇所の位置を特定できる機能を持たせることにより、簡単な回路を付加するだけで冗長回路による置き換えに必要な情報が得られる。

【0026】

【発明の効果】本発明により、冗長回路と自己診断回路とを有する半導体装置において、不良箇所を冗長回路に置き換えるための情報が簡単な回路を付加するだけで容易に得られるようになる。

## 図の説明

---

【図面の簡単な説明】

【図1】本発明の原理構成図である。

【図2】本発明の実施例の全体構成を示す図である。

【図3】実施例における自己診断回路の構成を示す図である。

【図4】データ良否判定器及び結果記憶器の詳細を示す図である。

【図5】メモリにおける冗長回路への置換方法の説明図である。

【図6】従来のメモリ自己診断回路である。

【図7】データ圧縮器の例を示す図である。

【図8】回路の一部としてメモリを内蔵する半導体装置におけるメモリ試験用回路を示す図である。

【符号の説明】

1…記憶部(メモリ)本体

2…冗長回路

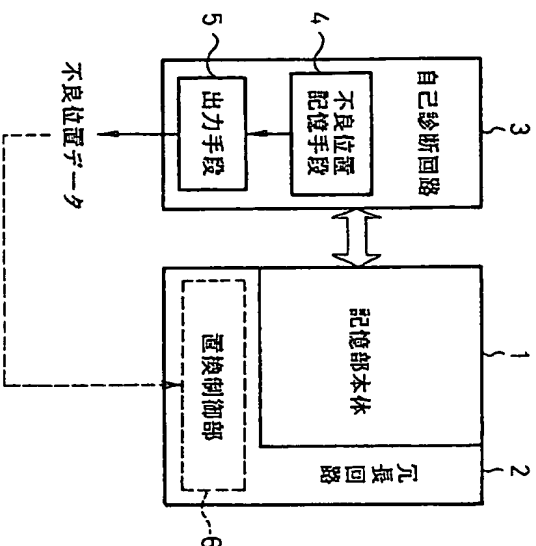
3…自己診断回路

4…不良位置記憶手段

5…出力手段

【図1】

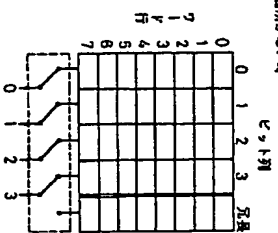
本発明の原理構成図



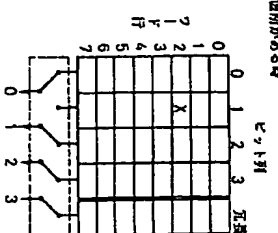
【図5】

メモリにおける冗長回路への選換

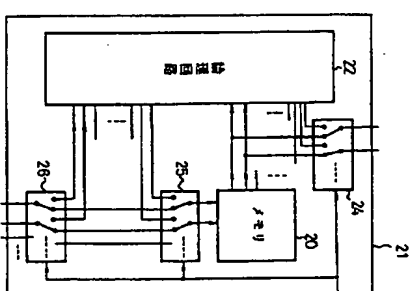
(a) 不良箇所がない時



(b) 不良箇所がある時

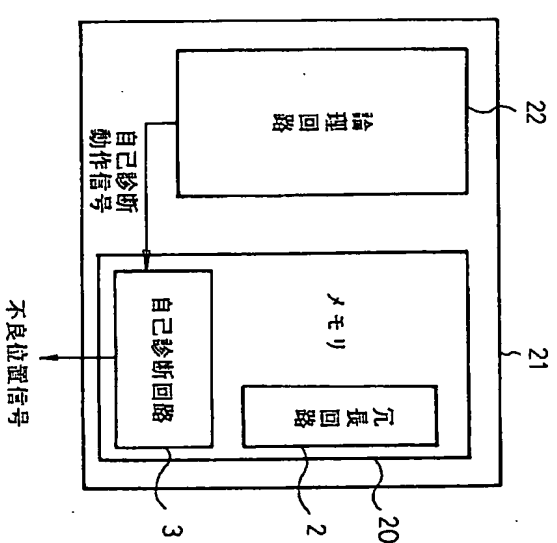


【図8】  
図面の一部としてメモリを内蔵する半導体装置におけるメモリ試験用回路

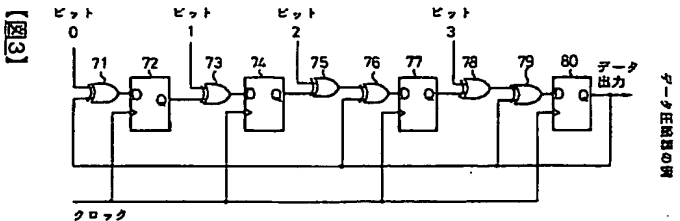


【図2】

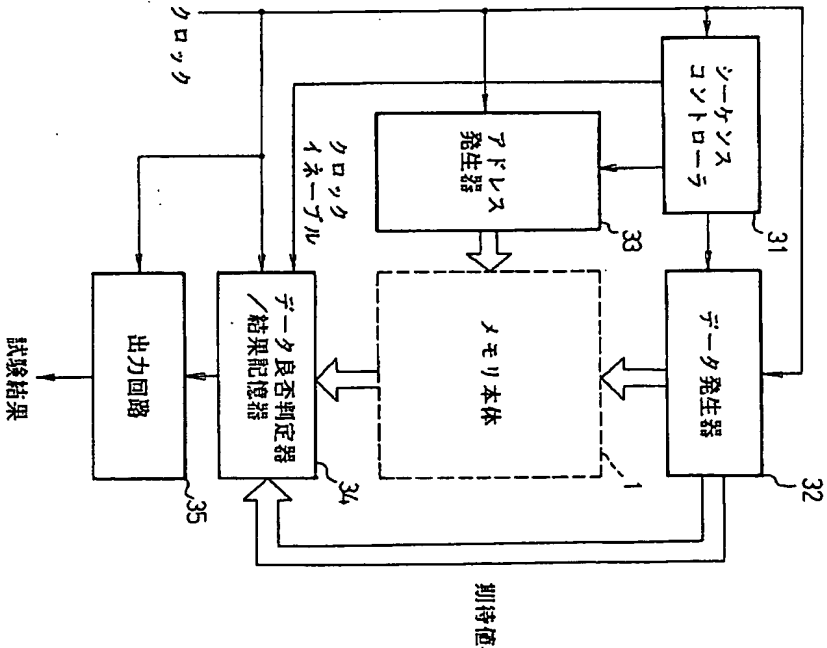
本発明の実施例の全体構成



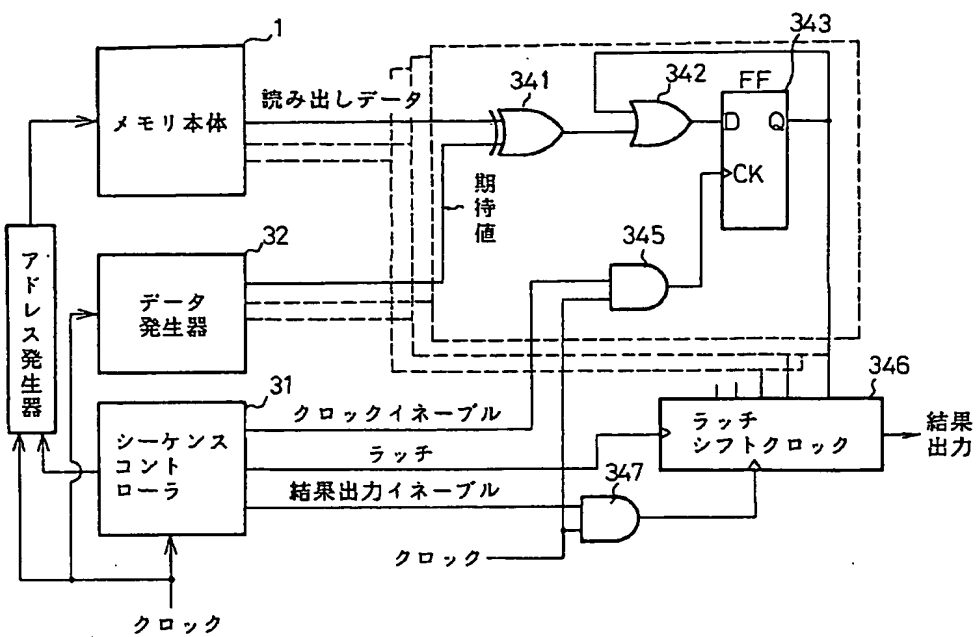
【図7】



実施例における自己診断回路の構成



データ良否判定器及び結果記憶器の詳細



【図6】

従来のメモリ自己診断回路

